

DISPLAY DRIVING CIRCUIT

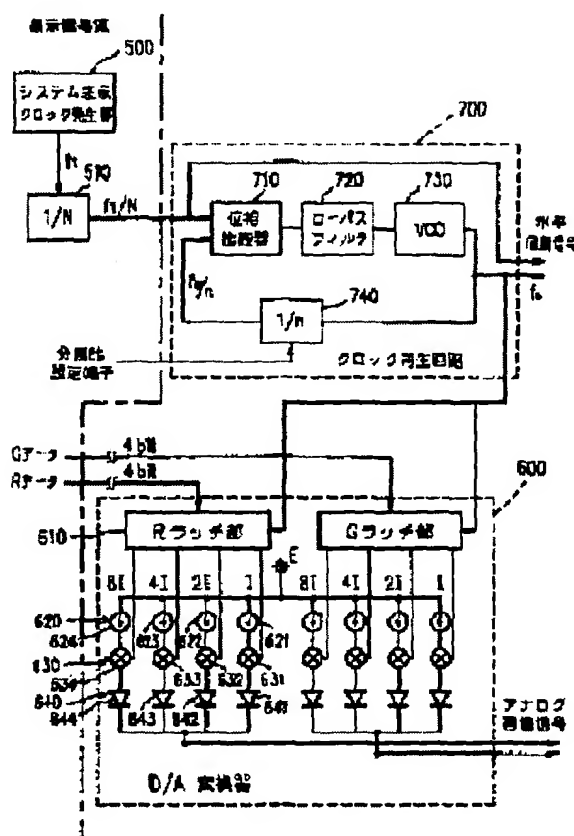
Patent number: JP8106075
Publication date: 1996-04-23
Inventor: IEMOTO TAKAAKI; MIZUKATA KATSUYA
Applicant: SHARP KK
Classification:
 - international: **G02F1/133; G09G3/20; G09G3/36; G02F1/13; G09G3/20; G09G3/36; (IPC1-7): G02F1/133; G09G3/20; G09G3/36**
 - european:
Application number: JP19940243196 19941006
Priority number(s): JP19940243196 19941006

Report a data error here

Abstract of JP8106075

PURPOSE: To improve display quality by removing the dispersion due to the output resistance of a D/A converter and to stabilize a clock with low undesired radiation even when a transmission line is extended.

CONSTITUTION: By generating a display control signal with low frequency by means of a clock generating part 500 and regenerating the clock of a display signal source to give a system clock with high frequency in a clock regenerating circuit 700 on the display side by using the display control signal with low frequency, the system clock with high frequency is not required for direct transmission, the gain is not decreased and the generation of undesired radiation is reduced even when the transmission line between the clock generating part 500 and a source driver is extended. Since the clock regenerating part 700 performs the clock regeneration being phase locked with the clock signal on the side of the display signal generating part, the delay of the clock signal due to the transmission line is removed. A D/A converter has the constitution of the current output of a constant current source driving type.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-106075

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.⁶

G 0 2 F 1/133

G 0 9 G 3/20

3/36

識別記号

5 0 5

庁内整理番号

J 4237-5H

F I

技術表示箇所

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号

特願平6-243196

(22) 出願日

平成6年(1994)10月6日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 家本 高明

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 水方 勝哉

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

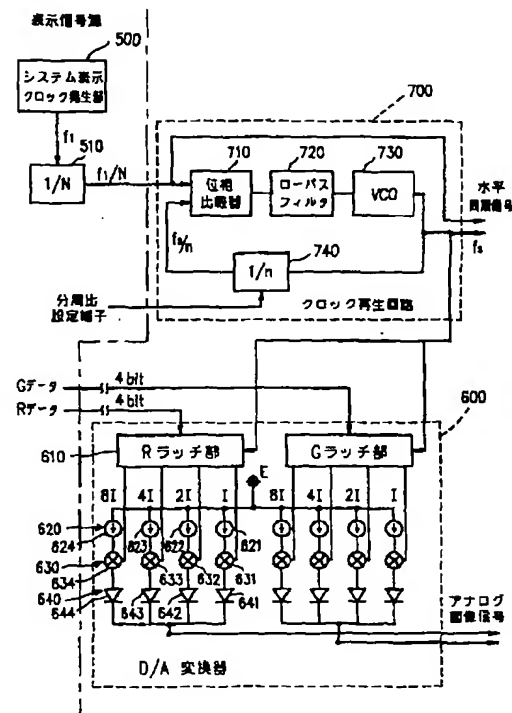
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示駆動回路

(57) 【要約】

【目的】 D/A変換器の出力抵抗によるバラツキを無くして表示品位を向上させ、伝送線路を長くしても低不要輻射でクロックの安定化を図る。

【構成】 クロック発生部500で低い周波数の表示用制御信号を発生させ、この低い周波数の表示用制御信号を用いて、表示信号源のクロックを表示側のクロック再生回路700において周波数の高いシステムクロック f_s をクロック再生すれば、クロック発生部500とソースドライバとの間の伝送線路を長くしても周波数の高いシステムクロックを直接伝送する必要がなくなってゲインが下がったりすることなく不要輻射の発生も低減される。また、クロック再生部700は、表示信号発生部側のクロック信号に位相同期したクロック再生を行うので、クロック信号の伝送線路による遅延も無い。さらに、D/A変換器600は定電流源駆動型の電流出力構成である。



【特許請求の範囲】

【請求項1】 表示信号および表示用制御信号を発生させる表示信号発生部と、該表示信号および表示用制御信号により、複数の絵素電極に信号電圧を印加するための複数の信号電極をそれぞれ駆動して表示させる表示駆動部とを有する表示駆動回路において、該表示駆動部に、該表示用制御信号のうちシステムクロックを該表示信号発生部側のクロック信号に位相同期したクロック再生を行うクロック再生部を設けた表示駆動回路。

【請求項2】 デジタル表示信号および表示用制御信号を発生させる表示信号発生部と、該デジタル表示信号をD/A変換したアナログ表示信号および該表示用制御信号により、複数の絵素電極に信号電圧を印加するための複数の信号電極をそれぞれ駆動して表示させるアナログソースドライバとを有する表示駆動回路において、該アナログソースドライバ側に、該表示用制御信号のうちシステムクロックを該表示信号発生部側のクロック信号に位相同期したクロック再生を行うクロック再生部を設けた表示駆動回路。

【請求項3】 前記クロック再生部は、クロック再生が前記表示信号発生部のクロック周波数に合うように予め分周比を外部より設定可能な構成とした請求項1または2記載の表示駆動回路。

【請求項4】 前記D/A変換部は、前記クロック再生部による再生クロックをD/A変換用クロック信号として入力し、定電流源駆動型の電流出力構成とし、前記アナログソースドライバのサンプリング部に該D/A変換部からの出力電流を蓄えるサンプリングコンデンサを設けた請求項2記載の表示駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、特にマトリックス型液晶表示装置、EL（エレクトロルミネセンス）表示装置、プラズマディスプレイなどの表示駆動回路に関する。

【0002】

【従来の技術】図8および図9は従来のアナログドライバを使ったデジタルデータ表示装置の一例を模式的に示しており、図8は従来の液晶パネルおよびその駆動部のブロック図であり、図9は図8の駆動部の表示信号源およびD/A変換部のブロック図である。

【0003】図8において、デジタルデータ表示装置としてのマトリックス型表示装置は、マトリックス状に配置された絵素電極103を駆動するためのスイッチング素子としてTFT（Thin Film Transistor）104を用いたTFT液晶パネル100を備えている。このTFT液晶パネル100は、互いに並行に配列された複数の走査電極101と、走査電極101に直行交差して互いに平行に配設された複数の信号電極102とを備えている。こ

れら走査電極101と信号電極102との各交差点に近接して、絵素電極103を駆動するためのTFT104および絵素電極103が設けられている。また、この絵素電極103に対向して共通電極105が設けられている。この共通電極105は、ここでは模式的に示されているが、通常は、全ての絵素電極103に共通に配設された一つの導電層である。

【0004】また、TFT液晶パネル100はソースドライバ200およびゲートドライバ300を含む駆動回路によって駆動される。これらソースドライバ200はTFTパネル100の信号電極102にそれぞれ接続されており、また、ゲートドライバ300はTFTパネル100の走査電極101にそれぞれ接続されている。このソースドライバ200は、入力されるアナログ画像信号または映像信号をサンプリングしてホールドし、信号電極102に供給している。他方、ゲートドライバ300は走査電極101に対して順次に走査パルスを出力する。これらゲートドライバ300およびソースドライバ200に入力されるタイミング信号などの制御信号はコントロール回路400から与えられている。

【0005】図9において、上記コントロール回路400で必要とするクロック信号は、表示信号源により供給され、このクロック信号は同時に表示データをラッチするクロックとしてD/A変換器600の各ラッチ部610にそれぞれ入力される。各ラッチ部610でラッチされた表示データは各重みづけされた定電流源群620をオンするアナログスイッチ群630のゲートにそれぞれ入力されている。さらに、各アナログスイッチ群630からそれぞれ出力され、ダイオード群640をそれぞれ介して合成された電流は出力抵抗R1、R2によって各色毎にそれぞれ電圧出力に変換されている。このようにして、変換されたアナログ表示電圧は各色毎にソースドライバ200に供給され、サンプルホールド回路220にてサンプリングされることになる。

【0006】ここで、D/A変換器600の出力段の抵抗R1、R2の抵抗値がばらつくとソースドライバ200におけるサンプリング電圧が変わって表示品位が異なってくる。

【0007】また、表示用データクロックは高周波信号であるため、データクロック源である表示信号源と液晶パネルなどの表示装置の距離はできる限り近傍におく必要がある。その一例として、図10に示すように伝送線路を考察した場合、その等価回路は図11で示され、その周波数-ゲイン特性は図12に従うことになる。この周波数特性からも解るように、図12において、ゲインが3dBだけ低下するポイントを f_0 とすれば、クロック周波数が f_1 の場合、ゲインが3dB以下の低下になるようにすると、 $f_1 < f_0$ にする必要がある。 $f_0 > f_1$ となるように f_0 の抵抗 R_0 や容量 C_0 を小さくする、即ち、伝送線路を短くする必要があった。このように、周

波数 f が大きくなって高周波になるほどゲインが下がって伝送が困難になっていた。

【0008】

【発明が解決しようとする課題】 上記従来のアナログソースドライバを用いてデジタル表示データを表示する場合、ドライバ入力段に挿入されるD/A変換器600の出力段抵抗値のバラツキにより各色毎のアナログ表示電圧にバラツキが生じていた。

【0009】 また、表示装置のシステムクロックを外部信号源より入力する場合は、高周波になるほどゲインが下がって、不要輻射やクロック信号の伝送線路による遅延が発生するため、データクロック源と表示装置の距離はできる限り近傍におく必要があった。ところが、例えば車載用表示装置のように表示信号源がトランクに格納され、表示パネルなどのディスプレイ部がダッシュボードに設置されているような場合には、両者の間を近接させることは困難であった。

【0010】 本発明は、上記従来の問題を解決するもので、ソースドライバへの入力電圧を電圧入力から電流入力にすることで、D/A変換器の出力抵抗によるバラツキを無くして表示品位を向上させ、かつ、伝送線路を長くしても不要輻射の発生が低減できクロック周波数の安定化を図ることができる表示回路を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明の表示駆動回路は、表示信号および表示用制御信号を発生させる表示信号発生部と、該表示信号および表示用制御信号により、複数の絵素電極に信号電圧を印加するための複数の信号電極をそれぞれ駆動して表示させる表示駆動部とを有する表示駆動回路において、該表示駆動部に、該表示用制御信号のうちシステムクロックを該表示信号発生部側のクロック信号に位相同期したクロック再生を行うクロック再生部を設けたものであり、そのことにより上記目的が達成される。

【0012】 また、本発明の表示駆動回路は、デジタル表示信号および表示用制御信号を発生させる表示信号発生部と、該デジタル表示信号をD/A変換したアナログ表示信号および該表示用制御信号により、複数の絵素電極に信号電圧を印加するための複数の信号電極をそれぞれ駆動して表示させるアナログソースドライバとを有する表示駆動回路において、該アナログソースドライバ側に、該表示用制御信号のうちシステムクロックを該表示信号発生部側のクロック信号に位相同期したクロック再生を行うクロック再生部を設けたものであり、そのことにより上記目的が達成される。

【0013】 さらに、好ましくは、本発明の表示駆動回路におけるクロック再生部は、クロック再生が前記表示信号発生部のクロック周波数に合うように予め分周比を外部より設定可能な構成とする。また、好ましくは、本

発明の表示駆動回路におけるD/A変換部は、クロック再生部による再生クロックをD/A変換用クロック信号として入力し、定電流源駆動型の電流出力構成とし、前記アナログソースドライバのサンプリング部に該D/A変換部からの出力電流を蓄えるサンプリングコンデンサを設けている。

【0014】

【作用】 本発明においては、表示信号発生部で低い周波数の表示用制御信号を発生させ、この低い周波数の表示用制御信号を用いて、アナログドライバまたはデジタルドライバのいずれの使用にもかかわらず、表示信号源のクロックを表示側において例えば周波数の高いシステムクロックなどをクロック再生すれば、表示信号発生部とアナログソースドライバとの間の伝送線路を長くしても周波数の高いシステムクロックを直接伝送する必要がなくなつてゲインが下がったりすることなく不要輻射の発生も低減される。また、クロック再生部は、表示信号発生部側のクロック信号に位相同期したクロック再生を行うので、クロック信号の伝送線路による遅延も無くなる。

【0015】 また、クロック再生部は、クロック再生が表示信号発生部のクロック周波数に合うように予め分周比を外部より設定可能な構成とすれば、表示信号源のクロックに正確に同期可能なプログラマブル設定が可能になるだけではなく、異なるクロックを持った表示信号源であっても任意のクロックを再生することが可能となる。

【0016】 さらに、D/A変換部は定電流源駆動型の電流出力構成とし、サンプリング部にD/A変換部からの出力電流を蓄えるサンプリングコンデンサを設ければ、従来のようにD/A変換部の出力段抵抗値のバラツキは無くなってアナログ表示電圧のバラツキも無くなり、安定した表示電圧が得られて表示品位が向上する。

【0017】

【実施例】 以下、本発明の実施例について説明する。

【0018】 図1は本発明の一実施例を示す液晶表示装置の駆動回路における信号処理部の回路図であり、パネル部分は従来例と同じであるためその説明は省略する。

【0019】 図1において、表示信号発生部としてのシステム表示クロック発生部500は分周器510に接続され、システム表示クロック発生部500からの周波数の高いシステムクロックは分周器510で1/Nに分周されて周波数の低い水平同期信号などの同期信号となる。この分周器510はクロック再生回路700の位相比較器710に接続されるとともに、駆動部のコントロール回路400に接続され、位相比較器710およびコントロール回路400に同期信号を出力する。この位相比較器710はローパスフィルタ720を介して電圧制御発振器（以下VCOという）730に接続され、VCO730から発振出力 f_s が出力される。このVCO7

30は分周器740を介して位相比較器710に接続され、発振出力 f_s が分周器740で $1/n$ に分周されて位相比較器710に入力される。この分周器740はプログラマブルであり、クロック再生が表示信号源側のクロック周波数に合うように予め分周比を外部より設定可能な分周比設定端子Sが設けられている。以上によりPLL回路で構成されるクロック再生回路700が構成され、表示用制御信号のうちシステムクロックを表示信号源側のクロック信号に位相同期したクロック再生を行う。

【0020】また、VCO730からの発振出力 f_s が入力されるラッチ部610、610にはそれぞれ、4ビットのデジタルデータであるG表示データおよびR表示データがそれぞれ入力されている。これらラッチ部610、610はそれぞれ、各アナログスイッチ群630のゲートにそれぞれ接続されており、各アナログスイッチ群630をオンオフ制御する。各アナログスイッチ群630はそれぞれアナログスイッチ631～634で構成されている。一方、電流Iを流す定電流源621とアナログスイッチ631とダイオード641との直列回路、電流2Iを流す定電流源622とアナログスイッチ632とダイオード642との直列回路、電流4Iを流す定電流源623とアナログスイッチ633とダイオード643との直列回路、および、電流8Iを流す定電流源624とアナログスイッチ634とダイオード644との直列回路の並列回路が構成されている。各定電流源群620はそれぞれ重みづけされた定電流源621～624で構成されている。以上により定電流源駆動型で電流出力構成のD/A変換器600が構成され、ダイオード641～644の接続端からソースドライバ200に合成電流としてのアナログ画像信号が出力される。

【0021】上記4ビットのデジタルデータと合成電流値との関係は、ラッチ部610、610をそれぞれ介して、以下の(表1)のようになる。

【0022】

【表1】

デジタルデータ (4bit)				
(上位) 8I	4I	2I	(下位) I	合成電流値
1	1	1	1	15I
1	1	1	0	14I
1	1	0	1	13I
1	1	0	0	12I
1	0	1	1	11I
1	0	1	0	10I
1	0	0	1	9I
1	0	0	0	8I
0	1	1	1	7I
0	1	1	0	6I
0	1	0	1	5I
0	1	0	0	4I
0	0	1	1	3I
0	0	1	0	2I
0	0	0	1	1I
0	0	0	0	0I

【0023】上記構成により、以下、その動作を説明する。

【0024】まず、表示信号源側ではシステム表示クロック発生部500のクロックを f_i とし、分周器510にて $1/N$ に分周して低い周波数の水平同期信号を得ている。この水平同期信号は、表示システムのクロック再生回路700の位相比較器710に入力され、分周器740の分周出力と位相比較される。この位相比較器710の出力はローパスフィルタ(低域通過フィルタ)720を通すことで直流化され、電圧制御発振器730(以下VCOという)の発振周波数を可変する。このVCO730からの発振出力の周波数 f_s は、プログラマブルな分周器740において $1/n$ に下げられて位相比較器710に入力される。

【0025】このとき、位相比較器710の出力は常に $f_i/N = f_s/n$ となるように働くことから、プログラマブルな分周器740において $n=N$ に設定すると、 $f_s = f_i$ が得られる。つまり、表示信号源のシステム表示クロック発生部500からのクロック f_i が再生されたことになる。

【0026】このように、表示信号源側のクロックに位相同期させて、表示側において周波数の高いシステムクロックに再生させているので、表示信号源側とアナログソースドライバとの間の伝送線路を長くしても周波数の高いシステムクロックを直接伝送する必要がなくなつてゲインが下がったりすることがなく不要輻射の発生も低減し、クロック信号の伝送線路による遅延もない。

【0027】図2は図1のクロック再生回路700の回

路図であり、図3は図2の各要部におけるタイミングを示す出力波形図である。図2および図3において、位相比較器710はトライステートバッファで構成され、そのG端子に入力する、分周器510からのクロック f_1/N が'Hi'の期間だけ導通し、分周器740のモノマルチ743からの出力を位相比較器710の出力として次段のローパスフィルタ720に出力する。また、G端子に入力されるクロック f_1/N が'L'の期間、トライステートバッファの出力はハイインピーダンスになるため、抵抗 R_{L1} 、 R_{L2} はバイアス設定用抵抗として働く。

【0028】この位相比較器710の出力はローパスフィルタ720にて平滑化されて、ローパスフィルタ720の出力は直流出力になる。さらに、この直流出力が入力されるVCO730はLC発振器で構成されており、VCO730の出力である発振周波数 f_s のクロックは、VCO730における容量 C_1 、 C_2 、 C_v として下記の式(数1)に従う。

【0029】

【数1】

$$f_s = \frac{1}{2\pi} \sqrt{\frac{1}{L} \left(\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_v} \right)}$$

【0030】また、VCO730の入力制御電圧と出力周波数との特性を図4に示している。

【0031】次に、VCO730の発振周波数 f_s はプログラブルディバイダ741に入力される。このプログラブルディバイダ741はカウンタとコンパレータで構成されており、分周比設定端子による分周比とカウント数が一致すれば、リセット出力としてのディバイダリセットパルスaをモノマルチ(M. M)743に出力する。このモノマルチ743はパルス幅を決定したモノマルチ出力パルスbを位相比較器710に出力する。

【0032】一方、VCO730からの出力であるクロック f_s は定電流型D/A変換器600の表示データのラッチ部610、610のクロックとして働く。

【0033】次に、電流駆動型D/A変換器600について説明する。

【0034】図5は図1のD/A変換器600の重みづけ回路部とサンプル部の回路図である。図5において、ラッチ部610、610からのラッチ出力(MSB・・・LSB)は、次段のアナログスイッチ群630のゲート電圧として働き、データの重みづけに応じたアナログスイッチ群630が開く。これにより、データの重みづけに応じた合成電流値が得られることになる。

【0035】各重みづけはそれぞれ、上記(表1)に示すように、定電流源群620に接続されたアナログスイッチ群630のスイッチのオン位置に応じて加算された加算電流値がダイオード群640の各ダイオードをそれぞれ介して出力される。このダイオード群640のダイ

オードはそれぞれ逆流入防止用である。

【0036】このように、ラッチ後のデータに応じて上記(表1)に示す各ビットが"1"になるとアナログスイッチ群630のスイッチA1～A4を各重みづけに応じて導通させる。その結果、合成電流が出力される。

【0037】次に、アナログソースドライバ200ではサンプリングパルス(T_s 期間導電)によりアナログスイッチASWが導電しサンプリングコンデンサ C_{sp} に蓄えられる。

【0038】このD/A変換器600の合成電流を I_{out} (μA)とすると T_s 期間の充電電圧 E_{sp} (V)は下記のとおりである。

$$E_{sp} = I_{out} \times T_s / C_s$$

つまり、各合成電流を傾きとし、時間 T_s に比例した電圧がソースドライバ200より出力される。

【0039】次に、図6を参照してソースドライバ200について説明する。

【0040】図6において、ソースドライバ200はシフトレジスタ210、サンプルホールド回路220および出力バッファ230を備えている。このシフトレジスタ210では、コントロール回路400から入力されるシフトパルスがシフトクロックに従ってシフトされ、ラインB1、B2・・・Bi・・・Bmに順次にサンプリングパルスを出力する。このサンプリングパルスによって、サンプルホールド回路220のアナログスイッチASW1(1)・・・ASW1(i)・・・ASW1

(m)が順次に導通状態になり、サンプリングコンデンサ221に加算電流が流れ込んで振幅 $v(i, j)$ にまで充電される。

【0041】ここで、 $V(i, j)$ は、TFTパネル100のi番目の信号電極とj番目の走査電極との交差点に対応する絵素電極103に書き込まれるべきアナログ画像信号の瞬時値である。このようにして1水平走査期間の画像信号がサンプルホールド回路220によって充電された後、出力用パルスOEが入力され、画像信号がサンプリングコンデンサ221からホールドコンデンサ222に移される。さらに、このホールドコンデンサ222によって保持された画像信号は出力バッファ230を介して信号電極102に出力されることになる。

【0042】図7に上記ソースドライバ200における各要部の入出力波形の概略を示している。図7において、 $V(C_{sp}(i))$ 、 $V(C_h(i))$ 、および $V_s(i)$ はそれぞれ、i番目のサンプリングコンデンサ221の電圧、i番目のホールドコンデンサ222の電圧およびi番目の出力バッファ230の出力電圧をそれぞれ示している。

【0043】なお、以上の説明では、デジタル表示データを4ビットに限定し、かつ色信号R、G、BのうちR、Gのみについて説明したが、R、G、Bの場合であっても、またはデジタル表示データが4ビット以上であ

っても同様に説明することができることは言うまでもない。

【0044】

【発明の効果】以上のように本発明によれば、表示駆動部への入力電圧を電圧入力から電流入力にすることで、従来のようなD/A変換部の出力抵抗によるバラツキを無くして、安定した表示電圧が得られ表示品位を向上させることができる。また、伝送線を長くしても不要輻射の発生が低減できクロック周波数の安定化を図ることができ、表示品位の向上を実現することができる。さらに、クロック再生部は、外部からのプログラマブルに分周比を設定できるため、表示信号源のクロックに正確に同期可能なプログラマブル設定が可能であり、また、異なるクロックを持った表示信号源であっても任意のクロックを再生することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶表示装置の駆動回路における信号処理部の回路図である。

【図2】図1のクロック再生回路700の回路図である。

【図3】図2の各要部におけるタイミングを示す出力波形図である。

【図4】図2のVCO730の入力制御電圧と出力周波数と関係を示す特性図である。実施例におけるクロック再生の模式図

【図5】図1のD/A変換器600の重みづけ回路部とサンプル部の回路図である。VCO（電圧制御発振器）

【図6】本発明に用いるソースドライバの構成を示す回路である。模式図クロック再生回路のタイミング図

【図7】図6のソースドライバのタイミングを示す各要部の入出力波形図である。定電圧型D/A変換器の模式図

【図8】従来のデジタルデータ表示装置の一例を模式的に示す液晶パネルおよびその駆動部のブロック図である。D/A変換器の重みづけテーブル

【図9】図8の駆動部の表示信号源およびD/A変換部のブロック図である。進号伝送路模式図

【図10】表示信号源とコントロール回路400の間の伝送線路を示す図である。

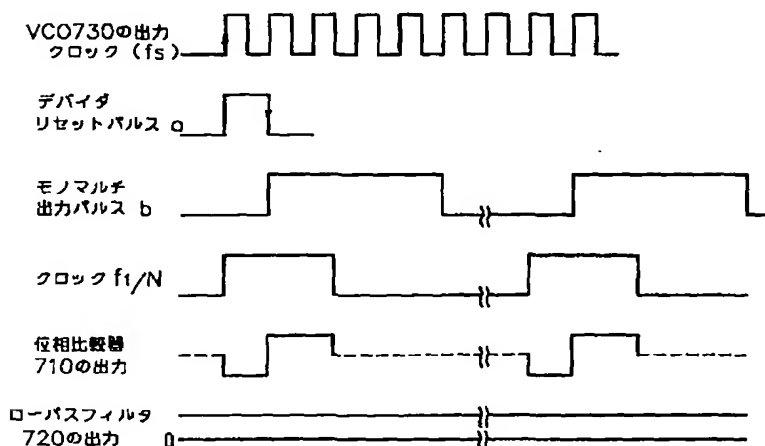
【図11】図10の伝送線路の等価回路図である。

【図12】図11の等価回路における周波数—ゲイン特性図である。

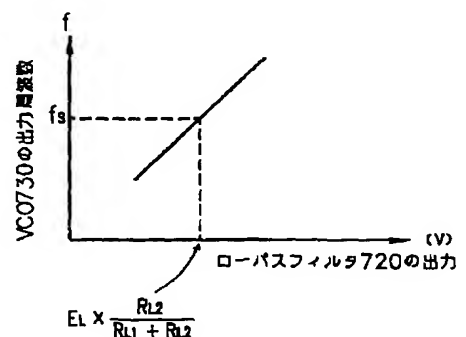
【符号の説明】

100	TFT液晶パネル
102	信号電極
103	絵素電極
200	ソースドライバ
221	サンプリングコンデンサ
500	システム表示クロック発生部
510, 740	分周器
600	D/A変換器
610	ラッチ部
620	定電流源群
621~624	定電流源
630	アナログスイッチ群
631~634	アナログスイッチ
640	ダイオード群
641~644	ダイオード
700	クロック再生回路
710	位相比較器
720	ローパスフィルタ
730	VCO
741	プログラマブルデバイダ
743	モノマルチ

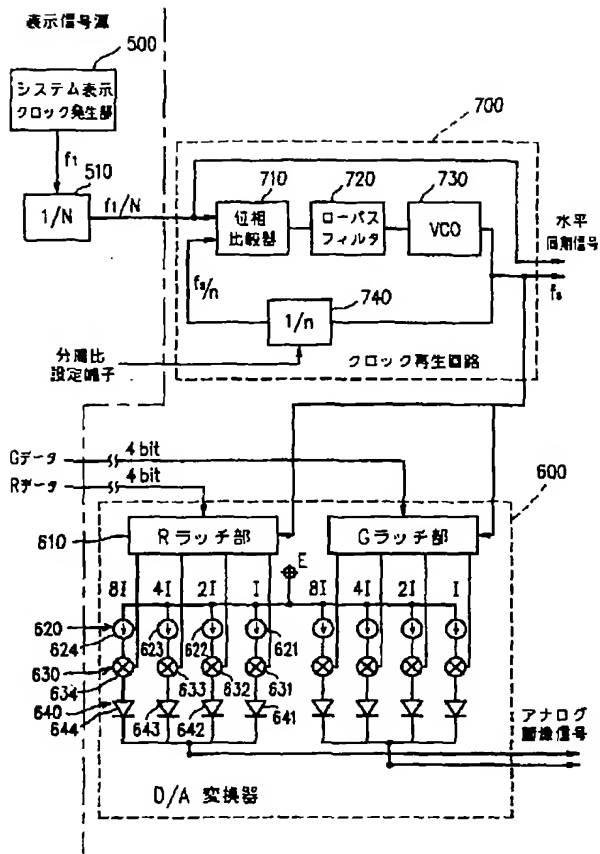
【図3】



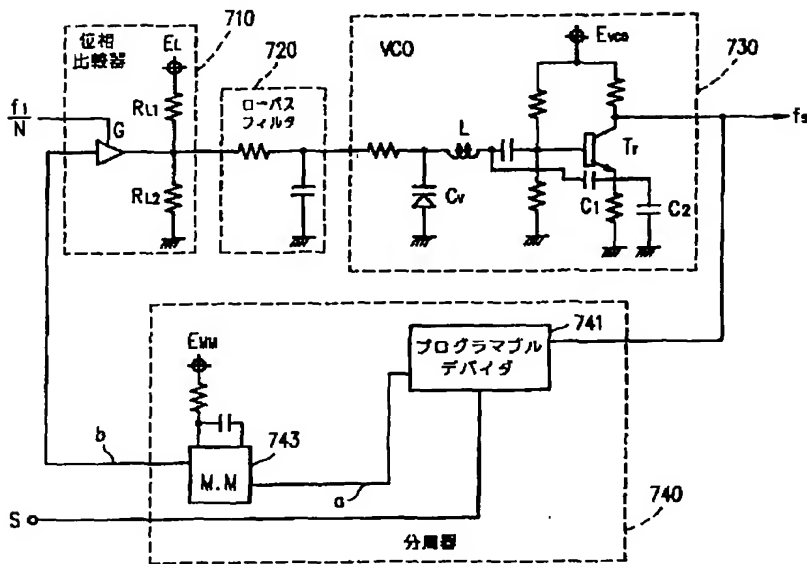
【図4】



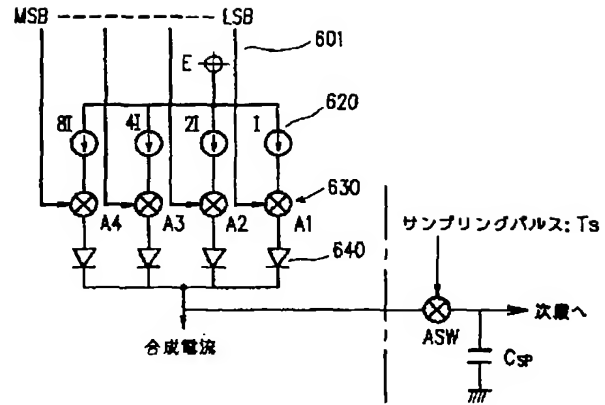
【図 1】



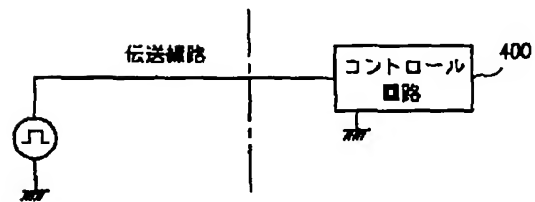
【図 2】



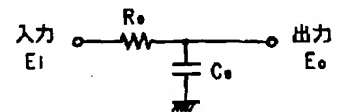
【図 5】



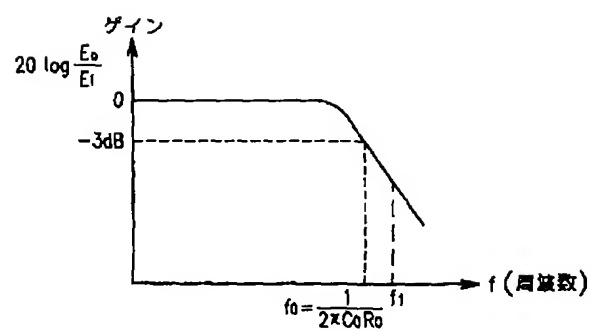
【図 10】



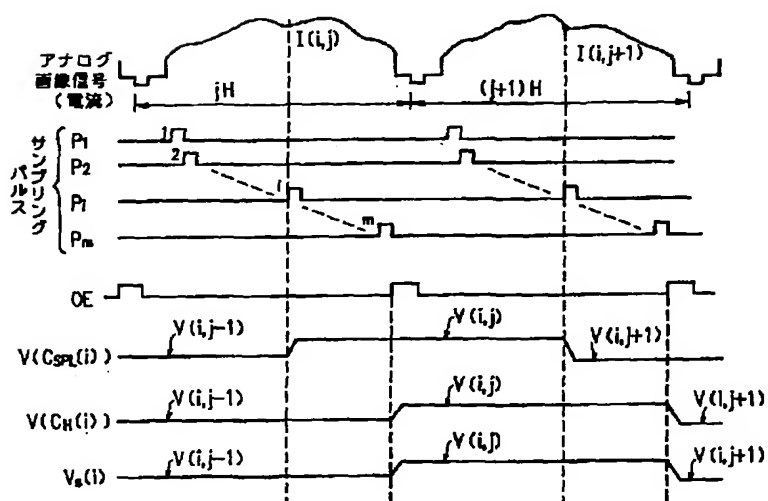
【図 11】



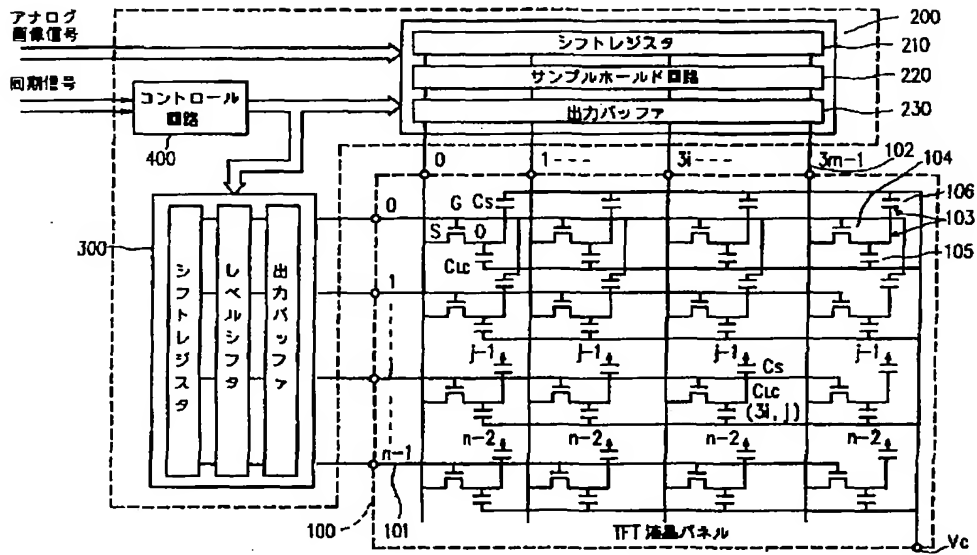
【図 1 2】



【図 7】



【図 8】



【図 9】

